

Requested Patent: JP3163908A
Title: CLOCK SIGNAL DELAY CIRCUIT ;
Abstracted Patent: JP3163908 ;
Publication Date: 1991-07-15 ;
Inventor(s): ANDO MASAOKI; others: 03 ;
Applicant(s): HITACHI LTD ;
Application Number: JP19890302116 19891122 ;
Priority Number(s): ;
IPC Classification: H03K5/13 ;

Equivalents:

ABSTRACT:

PURPOSE: To easily delay the clock signal with high frequency by connecting the output of a flip-flop so as to be inputted to a shift register, inserting delay elements with the same delay time to the respective outputs of the flip-flop and the shift register and obtaining exclusive OR concerning all the outputs of the delay elements.

CONSTITUTION: Eight signals with the phase difference of a half period to the input clock such as a signal 322 or 323 to be divided to 1/8 by a ring counter 301, which is operated with the rise and fall of a CLKIN 321, and a shift register 302 are generated by Q0-Q3 of the ring counter 301 and Q0-Q3 of the shift register 302. The signals respectively pass through delay lines 303-306, 307-310 and go to signals 324-331 delayed only by (d). Then, logical arithmetic is executed by an exclusive OR gate 311 and a CLKOUT signal 332 is outputted. Thus, the CLKOUT signal 322 can be obtained while being delayed from the CLKIN 321 only by (d).

⑫ 公開特許公報(A) 平3-163908

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)7月15日

H 03 K 5/13

8321-5 J

審査請求 未請求 請求項の数 2 (全6頁)

⑭ 発明の名称 クロック信号遅延回路

⑮ 特 願 平1-302116

⑯ 出 願 平1(1989)11月22日

⑰ 発 明 者 安 藤 公 明 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
 ⑰ 発 明 者 原 龍 男 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
 ⑰ 発 明 者 宮 田 正 順 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
 ⑰ 発 明 者 堀 田 正 生 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
 ⑰ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
 ⑰ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

クロック信号遅延回路

2. 特許請求の範囲

1. クロックの立上り(又は立ち下がり)で動作するフリップフロップ(又はカウンタ)と立ち下がり(又は立上り)で動作するシフトレジスタとを具備し、前記フリップフロップの出力をシフトレジスタに入力するように接続し、フリップフロップおよびシフトレジスタの各出力に同一遅延時間を有する遅延素子を挿入しその遅延素子の出力すべてについて排他的論理和をとるよう構成したことを特徴とするクロック遅延回路。

2. 前記遅延素子として外部からプログラム可能な遅延素子を用いたことを特徴するクロック遅延回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、デジタル回路におけるクロック信号の遅延回路に関する。

(1)

〔従来の技術〕

従来の遅延回路は、特開昭62-36911号公報に記載されたプログラマブル遅延線などを用い、第6図あるいは第7図に示すように遅延素子としてL、Cを使用した回路が使用されていた。

〔発明が解決しようとする課題〕

上記従来技術は、ディスクリートなL、Cによる遅延素子を用いているため、高周波特性が悪く波形を忠実に再現しなかつたり、波形を消滅せたりするため周波数帯域として数100MHz程度が上限であつた。500MHz以上の信号を遅延させるにはL、Cを含む回路では不適であるという問題があつた。

従つて、周波数の高い500MHz~1GHzのクロック信号などの遅延回路には使用できないという問題点があつた。

本発明の目的は、特に周波数の高いクロック信号を遅延させる回路を提供することにある。

〔課題を解決するための手段〕

上記目的を達成するために、カウンタ回路とシ

(2)

フトレジスタ回路と複数個の遅延素子とゲート回路を用いることによつて、周波数の高い入力クロックは、カウンタおよびシフトレジスタによつて一端低い周波数に変換したのち、カウンタ、シフトレジスタの各出力信号についてそれぞれ遅延時間の等しい遅延素子により遅延させ、その出力をゲート回路により排他的論理和演算を行うことにより、遅延させたクロック信号を得るものである。

〔作用〕

本発明は、クロック入力信号の立上りで動作するフリップフロップ又はカウンタと、クロック入力信号の立ち下がりで動作し、前記フリップフロップ又はカウンタの出力を入力とする、シフトレジスタと、フリップフロップ又はカウンタおよびシフトレジスタのそれぞれの出力に遅延時間の等しい遅延素子を設け、その出力の排他的論理和をとることによつて、クロック信号の遅延回路を実現するものである。クロック信号の立ち上がりからの遅延量と立ち下がりからの遅延量を同じにすることにより元のクロック波形を保存した後相互

(3)

図である。

入力端子7に入力されたクロック信号101はF.F1により1/2に分周しFFOUT102を得る。一方、FFOUT102はS.R2に接続され、インバータ6を介したクロック信号の立ち下がりでシフト動作が行われSROUT104を得る。

FFOUT102は遅延時間dなる遅延素子3を、またSROUT104は同様に遅延時間dの遅延素子4をそれぞれ通り、FFDELAY103、SRDELAY105に示すようにそれぞれdだけ時間的に遅れた信号とした後、EOR5に入力する。

EOR5では、FFDELAY103とSRDELAY105の排他的論理和演算を行いCLKOUT106を出力する。

以上の動作を行うことによつて、CLKIN101の信号からdだけ遅延したCLKOUT106が得られる。

第3図は第1図の回路を拡張したものであり、

(5)

の排他的論理和を取ることにより目的の信号を得られる。この方式では高速な能動素子たとえばGaAsのECLを使用して分周回路とシフトレジスタを構成し、2分周した後にL,C回路により所定の遅延をしさらに元のクロックの波形に戻すことによつて目的の遅延量を得ることができる。

〔実施例〕

以下、本発明の一実施例について説明する。

第1図は、本発明のクロック遅延回路の一実施例を示す図である。

入力端子7に入力されたクロック信号は、フリップフロップ1のCK端子に、またインバータ6を介してシフトレジスタ2のCK端子にそれぞれ接続されている。

フリップフロップ(以下F.Fという)1の出力は遅延素子3に、またシフトレジスタ(以下S.Rという)2の出力は遅延素子4に接続され、それぞれの遅延素子の出力は排他的論理和(以下EORという)5を通して出力端子8に出力する。

第2図は、第1図の動作タイムチャートを示す

(4)

CLKINの周波数が高い場合のクロック遅延回路を示す図である。また、第4図は第3図の動作を表すタイムチャートを示す図である。

第3図の動作を第4図を使って説明する。

CKIN321の立上りと立ち下がりで動作するリングカウンタ301とシフトレジスタ302によつて1/8分周された信号322あるいは、323に代表されるような、入力クロックに対して半周期ずつ位相差をもつ8本の信号を、リングカウンタ301のQ0~Q3とシフトレジスタ302のQ0~Q3によつて発生させる。その信号はそれぞれ遅延線303~306、307~310を通りdだけ遅延した信号324~331とし、排他的論理和ゲート311によつて論理演算を行いCLKOUT信号332を出力する。

これによつて、入力信号CLKINの周波数が高い場合(例えば500MHz以上)においても、第4図に示すようにCLKIN321からdだけ遅延したCLKOUT332を得ることができる。

本実施例では遅延素子としてL,C形を示した

(6)

が 1 MHz 以上の場合単に線材を遅延素子として使用することも可能である。

本実施例の説明では遅延量が 1 周期以内のみを示したが 1 周期以上についてもフリップフロップを多段にすることにより達成できる。

第 5 図は、第 1 図の遅延素子に外部信号 502 によつてプログラム可能な遅延素子 9 および 10 を用いたプログラマブルなクロック遅延回路の一例である。

第 6 図は、従来方法による遅延回路であり、第 7 図は従来方法によるプログラマブル遅延回路の一例である。

〔発明の効果〕

本発明によれば、遅延素子に入力する周波数を低くすることが可能となるため、遅延素子として一般に使用されている L, C からなる遅延線を用いることが可能となり、周波数の高いクロック信号についても遅延時間のコントロールが簡単に実現できる。

また、本発明のクロック遅延回路は論理素子と

(7)

ート。

代理人 弁理士 小川 勝



遅延素子から構成される簡単な回路であるため、IC 化等が容易であるなどの効果がある。

4. 図面の簡単な説明

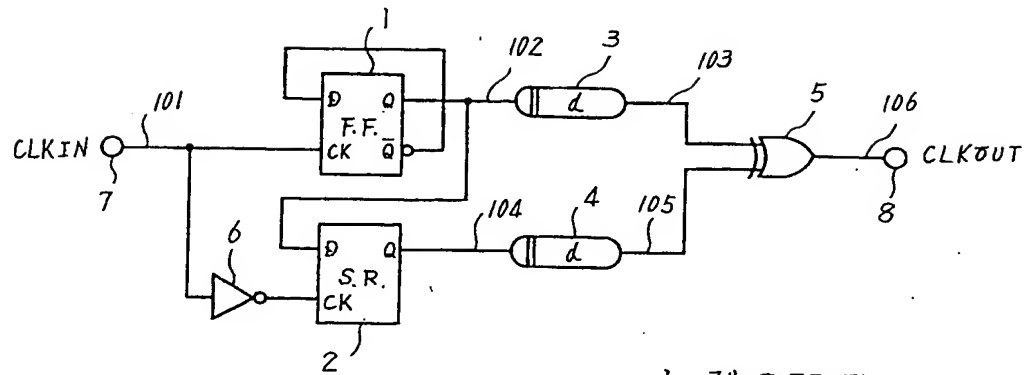
第 1 図は本発明の一実施例のクロック遅延回路図、第 2 図は第 1 図のクロック遅延回路の動作タイムチャートを表す図、第 3 図は周波数の高い場合のクロック遅延回路図、第 4 図は第 3 図の動作を表す図、第 5 図は外部からプログラム可能なクロック遅延回路図、第 6 図、第 7 図は従来方法による遅延回路の一例図である。

1…フリップフロップ、2…シフトレジスタ、3、4…遅延素子、5…排他的論理和ゲート、6…インバータゲート、7…クロック入力端子、8…クロック出力端子、9、10…プログラマブル遅延素子、101…クロック入力信号、102…FFOUT 信号、103…SROUT 信号、104…FFOUT 遅延信号、105…SROUT 遅延信号、106…遅延クロック出力信号、301…リングカウンタ、302…シフトレジスタ、303～310…遅延素子、311…排他的論理和ゲ

(8)

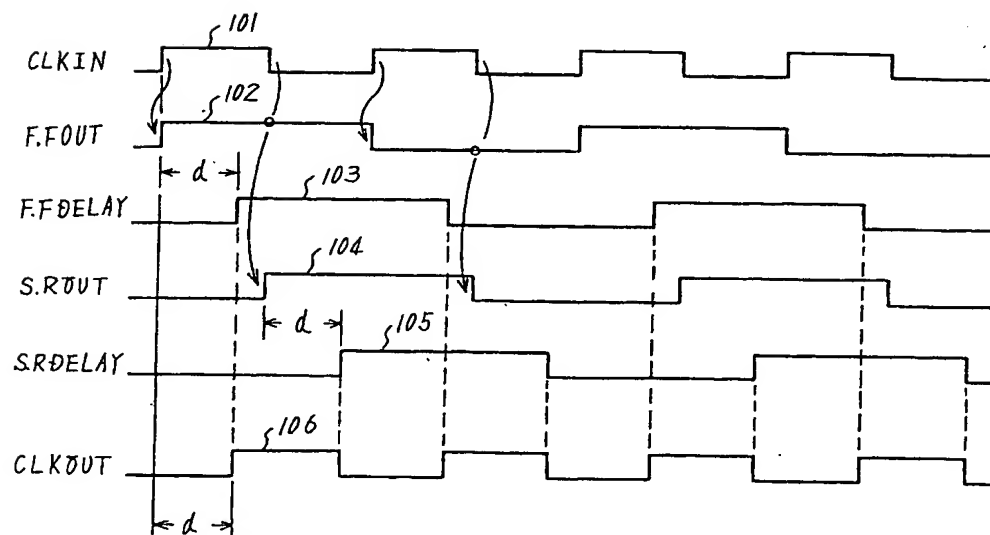
(9)

第 1 図

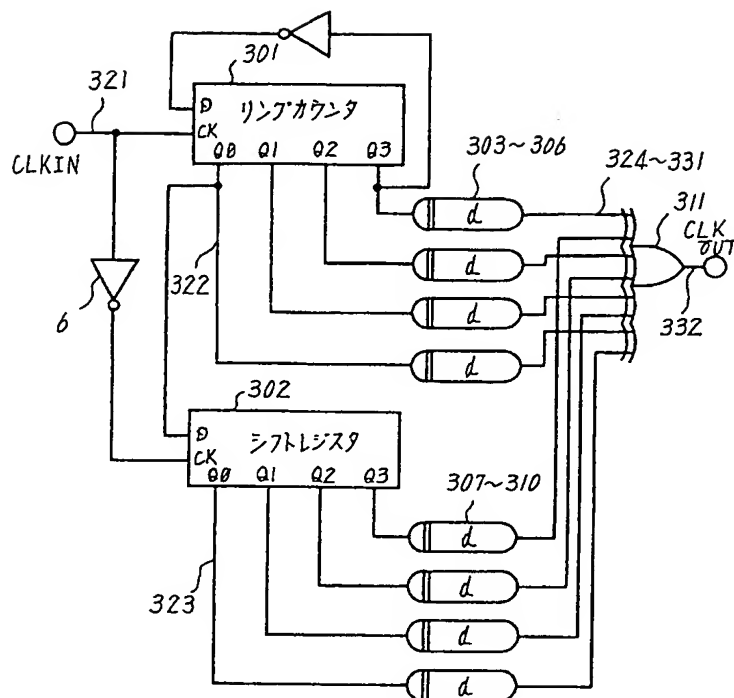


- 1 フリップ・フロップ
- 2 シフトレジスタ
- 3 遅延素子 1
- 4 遅延素子 2
- 5 排他的論理和 (EOR) ゲート

第 2 図

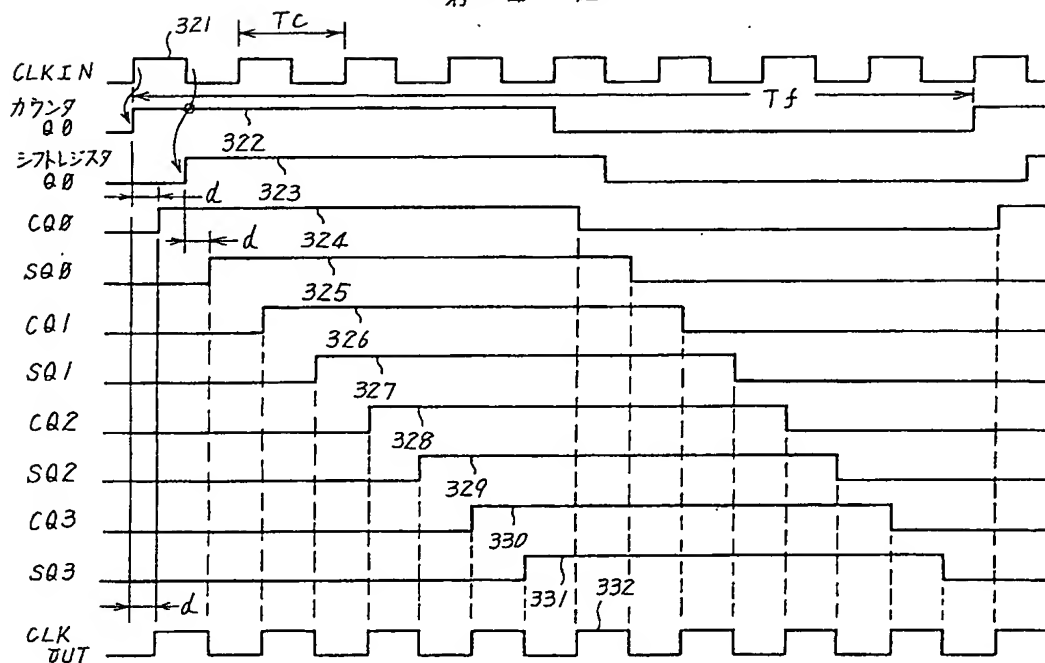


第 3 図

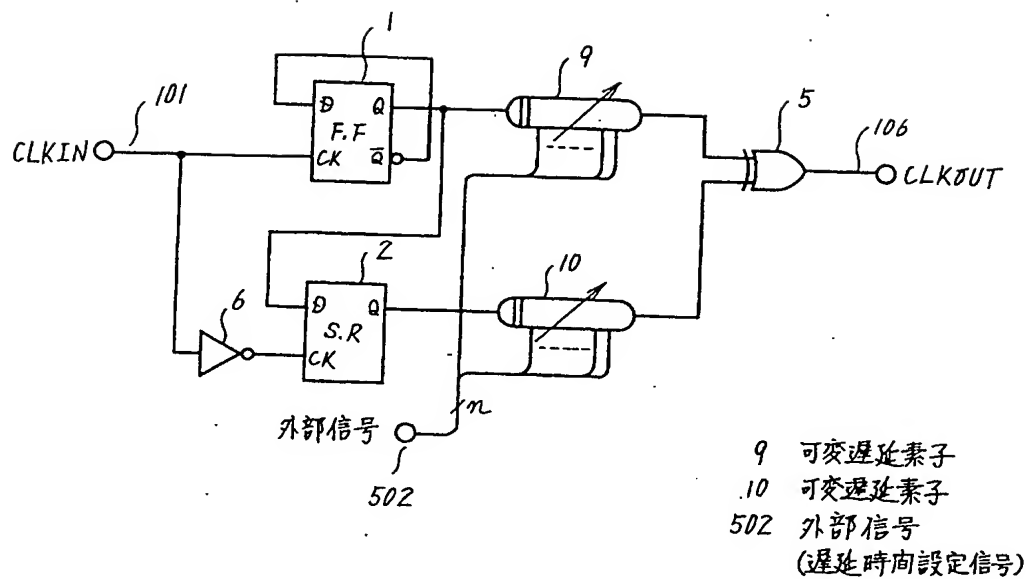


301 リンアカウンタ
302 シフトレジスタ
303~306 遅延素子
307~310 遅延素子
311 E-ORゲート

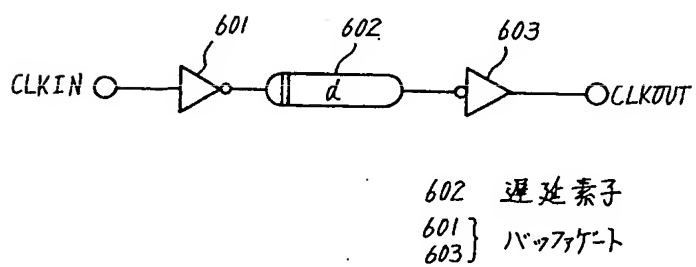
第 4 図



第 5 図



第 6 図



第 7 図

